

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

BEST AVAILABLE COPY

PUBLICATION NUMBER : 02238664
PUBLICATION DATE : 20-09-90

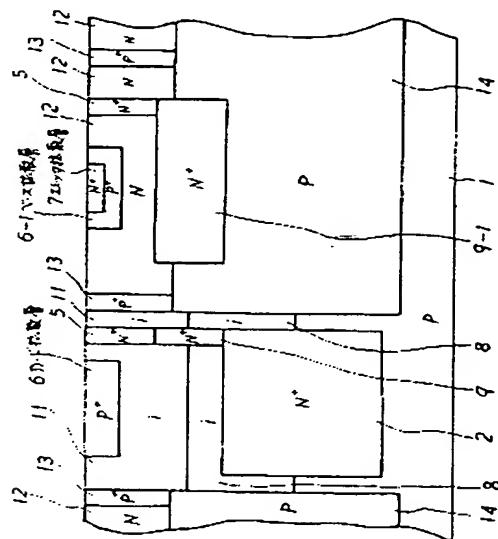
APPLICATION DATE : 10-03-89
APPLICATION NUMBER : 01059214

APPLICANT : SHARP CORP;

INVENTOR : KUBO MASARU;

INT.CL. : H01L 27/14 H01L 31/10

TITLE : PHOTODETECTOR WITH BUILT-IN CIRCUIT



ABSTRACT : PURPOSE: To reduce a chip size by a method wherein a signal processing circuit part is isolated from a photodetector part by using a compensated diffusion layer and by using an isolation diffusion layer, of a first conductivity type, reaching the diffusion layer from the surface of a high-resistivity epitaxial layer at the upper part.

CONSTITUTION: At a signal processing circuit part, a first high-resistivity N-type epitaxial layer 8 is compensated by a P-type buried diffusion layer 14 which has been buried in advance into a P-type semiconductor substrate 1; a photodetector part is isolated by using the compensated P-type buried diffusion layer 14 and a P-type isolation diffusion layer reaching the P-type buried isolation layer from the surface of a second high-resistivity N-type epitaxial layer 11. The second high-resistivity N-type epitaxial layer 11 at the signal processing circuit part is compensated by an N-type diffusion layer 12. Thereby, since a high-resistivity N-type epitaxial layer (i-layer) is not left in the signal processing circuit part, an active island region of a signal processing circuit element can be reduced; a chip size can be reduced.

COPYRIGHT: (C)1990,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 平2-238664

⑫ Int. Cl. 5

H 01 L 27/14
31/10

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)9月20日

7377-5F H 01 L 27/14
7733-5F 31/10

A

審査請求 未請求 請求項の数 1 (全9頁)

⑭ 発明の名称 回路内蔵受光素子

⑮ 特願 平1-59214

⑯ 出願 平1(1989)3月10日

⑰ 発明者 山本 元彦 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑰ 発明者 久保 勝 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑯ 出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑯ 代理人 弁理士 福士 愛彦

明細書

1. 発明の名称

回路内蔵受光素子

2. 特許請求の範囲

1. 第1の導電型の半導体基板の表面に成長させた第2の導電型の複数の高比抵抗エピタキシャル層を有し、該複数の高比抵抗エピタキシャル層に設けた受光素子部と信号処理回路部とによりなり、信号処理回路部は予め前記の半導体基板に埋込んだ第1の導電型の拡散層により下方の高比抵抗エピタキシャル層を第1の導電型とするよう補償されており、受光素子部との分離は前記の補償された拡散層と上方の高比抵抗エピタキシャル層の表面から前記の拡散層に達する第1の導電型の分離拡散層とによって行われ、かつ上方の高比抵抗エピタキシャル層は第2の導電型の拡散層によって補償され低比抵抗とされていることを特徴とする回路内蔵受光素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は信号処理回路を内蔵した受光素子の光感度を増加し、かつ応答速度を高速化する構造に関するものである。

(従来の技術)

回路内蔵受光素子は、光センサ、ホトカブラ等に広く用いられている。

第7図は従来の一例的な回路内蔵受光素子の一例の断面図である。図において、P型半導体基板1の一方の面に成長させたN型エピタキシャル層4及4-1に、受光素子であるホトダイオードAと信号処理回路素子であるNPNトランジスタBとが形成され、それらはP型素子間分離拡散層8, 8…によって分離されている。前述のホトダイオードAは、一般にP型半導体基板1に埋込まれたN+型埋込拡散層2の上にN型エピタキシャル層4を成長させ、その表面にP+型のアノード拡散層6を形成し、さらにN型埋込拡散層2に達するカソード用のN型補償拡散層5等によって構成される。NPNトランジスタBは、通常P型半導体基板1に埋込まれたN+型埋込拡散層2-1の上

IC N型エピタキシャル層 4-1（これはホトダイオードAのN型エピタキシャル層4と同時に形成される）を成長させ、その表面にP⁺型のベース拡散層6-1（これはホトダイオードAのアノード拡散層6と同時に形成される）を形成し、その一部にN⁺型のエミッタ拡散層7を形成し、さらに表面からN⁺型埋込拡散層2-1に達するコレクタ用のN⁺型補償拡散層5-1等によって構成される。ところで、最近データ伝送の高速化、S/N比向上等の要求から、回路内蔵受光素子の高感度化、応答速度の高速化等が望まれている。前述の第7図のような構造においては、ホトダイオードAの部分のN型エピタキシャル層4と、NPNトランジスタBの部分のN型エピタキシャル層4-1との厚さ、比抵抗は、同一になっているので、以下に述べるように高感度化、高速化が達成されない。

光感度を上げるには、ホトダイオードAの部分のN型エピタキシャル層4の厚さを、入力信号用として使用する光の波長に応じ、十分厚くする必

(3)

以上のことから、回路内蔵受光素子の高感度化と応答速度の高速化とを両立させるには、ホトダイオードAの部分のN型エピタキシャル層4は高比抵抗でかつ厚く、NPNトランジスタBの部分のN型エピタキシャル層4-1は、低比抵抗でかつ薄くする必要があるが、第7図の構造では、これらの相反する条件を満足させることは困難である。

この相反する条件を満足させることのできる構造として第8図のような構造（特公昭61-86718参照）が提案されている。すなわち、ホトダイオードAは、P型半導体基板1に埋込まれた第1のN型埋込拡散層2、その上に成長させた数十～数百μmの第1の高比抵抗N型エピタキシャル層8（これは真性半導体に近いという意味で1と表記）、その側方にカソード電極を取出すために埋込んだ第2のN⁺型埋込拡散層9、その上に積層させた第2の高比抵抗N型エピタキシャル層11-1（これも真性半導体に近いので1と表記）、その表面のアノード拡散層6、埋込拡散層9と接続するカソ

(5)

要がある。しかし、N型エピタキシャル層4の比抵抗は、NPNトランジスタBの部分のN型エピタキシャル層4-1と同じであるため、数μm程度であり、N型エピタキシャル層4の中に、空乏層化しない部分がかなり厚く残ってしまい、発生した光キャリアが拡散によりこの部分を走行する時間が長くなり、応答速度の高速化を妨げる。また、N型エピタキシャル層4の厚さを厚くすると、NPNトランジスタBの部分のN型エピタキシャル層4-1の厚さも厚くなり、NPNトランジスタBのコレクタ抵抗が増大し、応答速度高速化の障害となる。

一方、回路内蔵受光素子の応答速度高速化には、ホトダイオードAの部分の接合容量の低減が有効であり、そのためには、N型エピタキシャル層4を高比抵抗化することが必要である。しかし、NPNトランジスタBの部分のN型エピタキシャル層4-1の比抵抗が高くなると、NPNトランジスタBのコレクタ抵抗が増大し、応答速度の高速化に関しては、反対の効果をもたらす。

(4)

ード拡散層6等によって構成されており、p-i-n型のホトダイオードを構成している。

NPNトランジスタBは、P型半導体基板1に埋込まれたN⁺型埋込拡散層2-1、その上に成長させた第1の高比抵抗N型エピタキシャル層8-1（これはホトダイオードAの部分の第1の高比抵抗N型エピタキシャル層8と同時に形成される）、この層の表面に埋込まれた第2のN⁺型埋込拡散層9-1（これはホトダイオードAの部分の第2のN⁺型埋込拡散層9と同時に形成される）、さらにその上に積層させた第2の高比抵抗N型エピタキシャル層11-1（これはホトダイオードAの部分の第2の高比抵抗エピタキシャル層11と同時に形成される）、その表面から第2のN⁺型埋込拡散層9-1に至るウエルとなるN型拡散層12、その表面のP⁺型拡散層であるベース拡散層6-1、その表面の一部に拡散されたN⁺型のエミッタ拡散層7およびコレクタ用のN型補償拡散層5-1等によって構成されている。

各素子間の分離は、第1の高比抵抗N型エピタ

(6)

キシャル層 8 及び 8-1 に埋込まれた第 1 の P 型分離拡散層 10 と、第 2 の高比抵抗 N 型エピタキシャル層 11 及び 11-1 の表面から第 1 の P 型分離拡散層 10 に達する第 2 の P 型分離拡散層 18 によって行われる。

第 8 図に示される回路内蔵受光素子は以上のような構造であるから、ホトダイオード A の部分のエピタキシャル層は、高比抵抗で十分厚く設定することができるため、ホトダイオード A は高感度となり応答速度も高速となる。また、NPN トランジスタ B の部分のコレクタ層は、エピタキシャル層が実効的に N 型拡散層 12 によって補償された部分になるため、十分に低比抵抗で、かつ、薄く設定でき、信号処理回路も高速化され、その結果、高速・高感度の回路内蔵受光素子を得ることができる。

(発明が解決しようとする課題)

しかしながら、第 8 図の構造の回路内蔵受光素子には、下記のような問題点がある。

(1) NPN トランジスタ B の下部の第 1 の N⁺ 型

(7)

きな間隔を設ける必要がある。このことは、各素子の領域の面積の増大をもたらし、回路内蔵受光素子のチップサイズの増加につながる。

(2) 各素子間の分離は、第 1 の P⁺ 型分離拡散層 10 と第 2 の P⁺ 型分離拡散層 18 によって行われている。この場合、両拡散層を各工程上の偏倚(マスク合せ、拡散のばらつき、エピタキシャル成長中のバターンシフト等)の範囲内で、確実に接触させるためには、第 1 の P⁺ 型分離拡散層 10 及び第 2 の P⁺ 型分離拡散層 18 の幅を広めにしておく必要がある。このこともチップサイズの増加を招く。

(3) 第 1 の P⁺ 型分離拡散層 10 は、相当深い拡散層になっているため、拡散の最深部付近は、不純物の濃度がかなり低くなっている。また、第 2 の高比抵抗 N 型エピタキシャル層 11, 11-1 を成長させる際のオートドーピングにより、ホトダイオード A の第 1 の高比抵抗 N 型エピタキシャル層 8 と第 2 の高比抵抗 N 型エピタキシャル層 11 の界面付近に、P 型拡散層が形成さ

(9)

埋込拡散層 2-1 と、第 1 の P⁺ 型分離拡散層 10, 10 との間に、第 1 の高比抵抗 N 型エピタキシャル層 8-1, 8-1 が存在している。これは、高濃度の第 1 の N⁺ 型埋込拡散層 2-1 と、第 1 の P⁺ 型分離拡散層 10 が接触すると、NPN トランジスタ B の活性島領域と分離領域との間の耐圧が低下するので、両拡散層が接触しないようにしておく必要があるためである。第 1 の N⁺ 型埋込拡散層 2, 2-1 は、高温かつ長時間の熱処理工程を経るため、横方向への拡がりが非常に大きい。また、第 1 の P⁺ 型分離拡散層 10 も、第 1 の高比抵抗 N 型エピタキシャル層 8, 8-1 を貫いて P 型半導体基板 1 に到達し、第 2 の高比抵抗 N 型エピタキシャル層 11, 11-1 の中途まで拡散して、第 2 の P⁺ 型分離拡散層 18 と接する必要があるので、かなりの熱処理を要し、やはり横方向への拡がりが大きくなる。すなわち、第 1 の N⁺ 型埋込拡散層 2, 2-1 と第 1 の P⁺ 型分離拡散層 10 との接触を避けるためには、非常に大

(8)

れる可能性があるため、第 1 の P 型分離拡散層 10 の不純物濃度は、あまり高くすることはできない。これらの事情により、第 2 の P⁺ 型分離拡散層 18 の表面電位を接地したとしても、P 型半導体基板 1 の電位は容易に浮き上り、寄生サイリスタ動作によるラッテアップを起し易くなる。

(4) ホトダイオード A に入射した光のうち、P 型半導体基板 1 中にまで進入した光により発生した光キャリアが、NPN トランジスタ B の部分の活性島領域に到達して生じる寄生回路電流が大きい。

(5) 信号処理回路の構成上、P 型半導体基板 1 をコレクタとした PNP トランジスタ(サブストレート・PNP トランジスタ)を構成したい場合があるが、第 8 図のような構造では、特性の安定したサブストレート PNP トランジスタを形成するのは不可能である。サブストレート・PNP トランジスタのベース層となる N 型島領域に高比抵抗層(1 層)と低比抵抗層とが混在

(10)

するためである。

(6) 第1のP⁺型分離拡散層10は、第1の高比抵抗N型エピタキシャル層8, 8-1の表面から拡散する。このため、第2の高比抵抗N型エピタキシャル層11, 11-1の成長時に、第1の高比抵抗エピタキシャル層8の表面に、第1のP⁺型分離拡散層10が露出しているので、オートドーピングが発生し、ホトダイオードAの部分の第1の高比抵抗N型エピタキシャル層8と第2の高比抵抗N型エピタキシャル層11との間にP型拡散層が形成され、ホトダイオードの特性に悪影響を与える。

(7) NPNトランジスタBの部分の活性島領域に、第1の高比抵抗N型エピタキシャル層8-1および第2の高比抵抗N型エピタキシャル層11-1が存在しているので、P型分離拡散層10, 18と活性島領域との間の空乏層領域が広くなり、生成再結合成分によるリーク電流が大きくなる。

本発明は上記のような問題点を解決することを

01

本発明は以上のような構造であるから、信号処理回路部には高比抵抗N型エピタキシャル層(1層)が残存しなくなるから、信号処理回路素子の活性島領域の大幅な縮小が可能となりチップサイズが縮小できる。また、信号処理回路部における素子間分離拡散層の抵抗を、第8図の構造に比べて低減することができるため、ラッチアップ耐性が向上する。P型埋込拡散層の導入により寄生光電流の低減が可能となる。さらに特性の安定したサブストレート・PNPトランジスタを内蔵することが可能になる。ホトダイオード部の高比抵抗N型エピタキシャル層へのP型不純物のオートドープを防止し、活性島領域と素子間分離領域との間のリーク電流が低減される。

(実施例)

第1図は本発明の一実施例の断面図であり、第2図乃至第5図は、その各工程の断面図である。

まず、第2図に示されるように、P型半導体基板1の表面の受光素子であるホトダイオード形成予定領域に、第1のN型埋込拡散層2を、信号処

目的とするものである。

(課題を解決するための手段)

P型半導体基板の表面に成長させた第1の高比抵抗N型エピタキシャル層と第2の高比抵抗N型エピタキシャル層に形成された信号処理回路部と受光素子部とよりなり、信号処理回路部は予めP型半導体基板に埋込んだP型埋込拡散層により第1の高比抵抗N型エピタキシャル層が補償されており、受光素子部との分離は前記の補償されたP型埋込拡散層と第2の高比抵抗N型エピタキシャル層表面から前記のP型埋込拡散層に達するP型分離拡散層とによって行われ、信号処理回路部の第2の高比抵抗N型エピタキシャル層はN型拡散層によって補償され、この高比抵抗N型エピタキシャル層が補償されたN型拡散層の側面はP型分離拡散層に接し、高比抵抗N型エピタキシャル層が補償されたN型拡散層の底面は必要により第1の高比抵抗N型エピタキシャル層が補償されたP型埋込拡散層に接するようにした。

(作用)

02

理回路素子例えばNPNトランジスタ形成予定領域にはP型埋込拡散層14を形成する。

次に、第3図に示すように、表面の全面に例えば100μm程度の第1の高比抵抗N型エピタキシャル層8を成長させる。このとき、P型埋込拡散層14と第1のN型埋込拡散層2は、いずれも第1の高比抵抗N型エピタキシャル層8中に拡散する。その後、NPNトランジスタの予定領域およびホトダイオードのカソード電極引出領域に第2のN型埋込拡散層9および9-1を形成する。

次に、第4図に示すように、例えば100μm程度の第2の高比抵抗N型エピタキシャル層11を全面に成長させる。NPNトランジスタの予定領域には、例えば1μm程度の比抵抗になるよう、適当な不純物濃度の深いN型拡散層12を形成する。このとき、第2のN型埋込拡散層9, 9-1は、第2の高比抵抗N型エピタキシャル層11中にある程度拡散する。

次に、第5図に示すように、N型拡散層12の周辺に、表面からP型埋込拡散層14に達するP

03

04

型分離拡散層 1 3, 1 8…と、表面から第 2 の N 型埋込拡散層 9-1 の表面の一部及び、第 2 の N 型埋込拡散層 9 に達する N 型補償拡散層 5, 5 を拡散する。このとき、第 1 の N 型埋込拡散層 2、第 2 の N 型埋込拡散層 9, 9-1、P 型埋込拡散層 1 4 は、それぞれ上下にある程度拡散し、N 型拡散層 1 2 はある程度下方に拡散するため、信号処理回路部分には、高比抵抗エピタキシャル層(1 層)は残存しない構造となる。

この後、ホトダイオード予定領域の第 2 の高比抵抗 N 型エピタキシャル層 1 1 の表面の一部にアノード拡散層 6、NPN トランジスタ予定領域の N 型拡散層 1 2 の表面の一部にベース拡散層 6-1、さらにその一部にエミッタ拡散層 7 等を形成すると、第 1 図に示される回路内蔵受光素子が完成する。

(発明の効果)

本発明の構造によれば次のような効果がある。

- (1) 信号処理回路部の活性島領域の面積を小さくすることができる。また、信号処理回路部では、

00

改善される。

- (4) サブストレート・NPN トランジスタを形成する場合は、第 6 図のような構造にことができる。すなわち、第 1 図における NPN トランジスタの場合のベース拡散層 6-1 が第 6 図ではエミッタ 6-2 となり、第 1 図における活性島領域補償用の N 型拡散層 1 2 が第 6 図ではベース 1 2-1 となり、第 1 図における P 型埋込拡散層 1 4 および P 型分離拡散層 1 8 が第 6 図ではコレクタ 1 8-1, 1 4-1 となる。この構造では、ベース層となる N 型島領域に特性不安定の要因となる高比抵抗層(1 層)が残らないため、特性の安定したサブストレート・NPN トランジスタを形成することができる。

- (5) 第 4 図に示される本発明の製造工程において、第 2 の高比抵抗 N 型エピタキシャル層 1 1 を成長させるとときに、P 型埋込拡散層 1 4 が第 1 の高比抵抗 N 型エピタキシャル層 8 の表面に出ないようにしておけば、P 型不純物のホトダイオード部の第 2 の高比抵抗 N 型エピタキシャル層

00

P 型埋込拡散層 1 4 と P 型分離拡散層 1 8 との間の、マスク合せ等による横方向の工程中の偏差を考慮する必要がないため P 型分離拡散層 1 8 の幅を狭くすることができる。これらによってチップサイズの大幅な縮小が可能となる。この効果は信号処理回路の集積度が上がるに伴なって顕著となる。

- (2) P 型埋込拡散層 1 4 と P 型分離拡散層 1 8 の接触部分における不純物濃度を、P 型半導体基板 1 と同程度となるように、拡散条件を設定すれば、ラッテアップ耐性は第 7 図の構造のものと同程度にことができる。
- (3) P 型半導体基板 1 まで進入した光による寄生光電流の影響は、そこで発生した光キャリア(電子)から、活性島領域と P 型埋込拡散層 1 4 との PN 接合までの距離が遠くなることと、さらに P 型埋込拡散層 1 4 内でのライフタイムが短いこと、および P 型埋込拡散層 1 4 内の P 型不純物分布に従って形成される内蔵電界により、光キャリアが押し戻される効果によって大幅に

00

1 1 へのオートドープは防止できる。

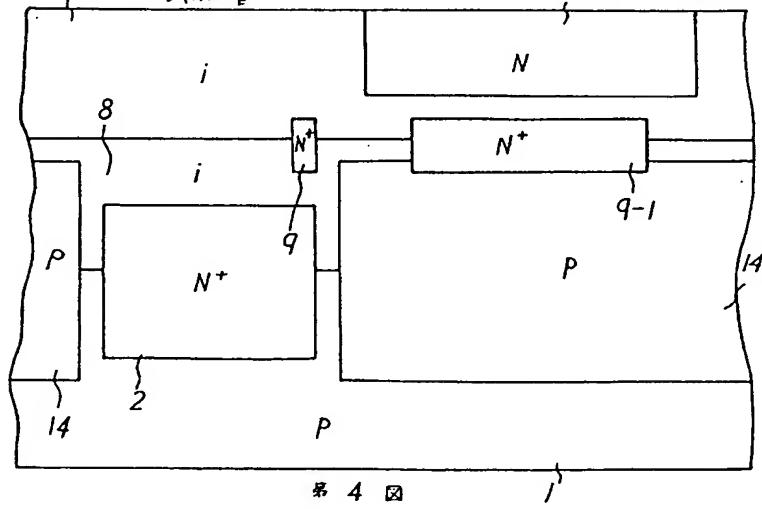
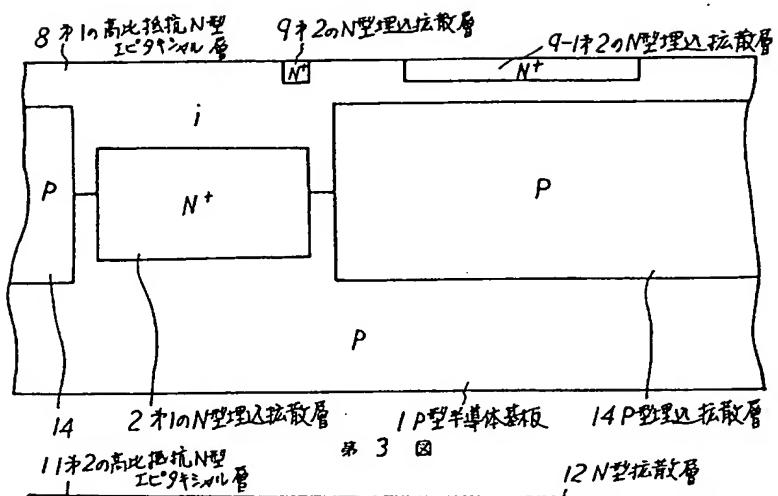
- (6) 信号処理回路部の活性島領域補償用の N 型拡散層 1 2 と P 型分離拡散層 1 8 とを接触させ、さらに P 型埋込拡散層 1 4 を信号処理回路部の下方全面に設けることにより、活性島領域に高比抵抗 N 型エピタキシャル層(1 層)がそのまま残らない構造にされているから、P 型分離拡散層部分と活性島領域との間のリーク電流は減少する。
- (7) 前述した実施例において、第 2 の高比抵抗 N 型エピタキシャル層成長時の P 型不純物のオートドープが問題にならないレベルであれば、P 型分離拡散層 1 8 を第 2 高比抵抗 N 型エピタキシャル層の上下から拡散する構造にすることによって、信号処理回路部の素子の活性島領域の面積はさらに縮小できる。

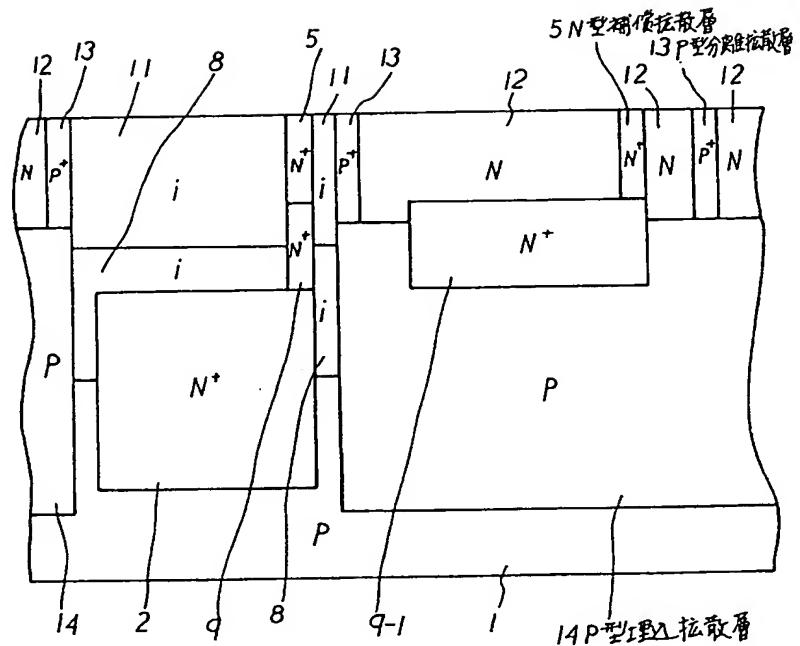
以上のように集積度の向上した、高感度、高速、高品質で用途の広い回路内蔵受光素子が得られる。

4. 図面の簡単な説明

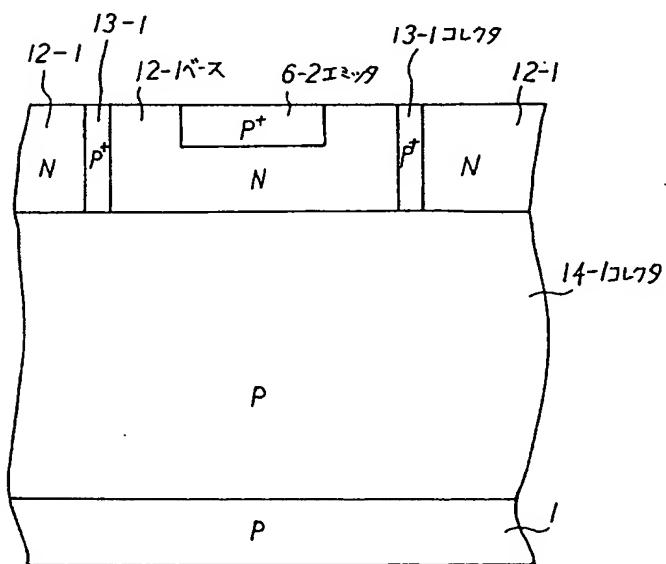
第 1 図は本発明の一実施例の略断面図、第 2 図、

00

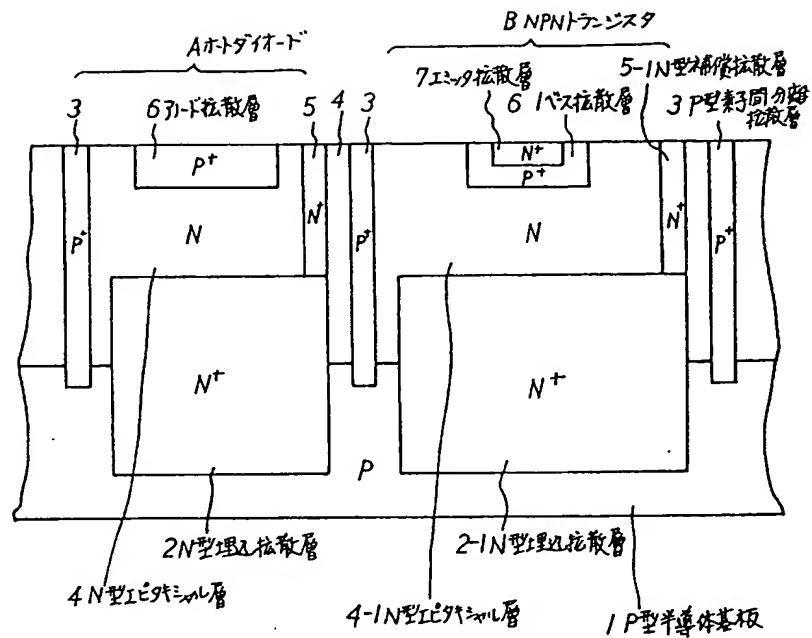




第 5 図



第 6 図



第 7 図

